



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年 6月30日

出願番号  
Application Number:

平成11年特許願第186638号

出願人  
Applicant(s):

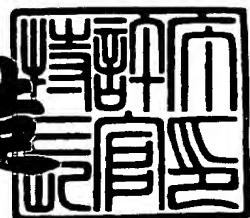
セイコーエプソン株式会社

RECEIVED  
2001 JUN 19  
JAPAN PATENT OFFICE  
2000

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3014333

【書類名】 特許願  
【整理番号】 J0073922  
【提出日】 平成11年 6月30日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/321  
【発明の名称】 半導体装置及びその製造方法  
【請求項の数】 8  
【発明者】  
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内  
【氏名】 神田 敦之  
【特許出願人】  
【識別番号】 000002369  
【氏名又は名称】 セイコーホームズ株式会社  
【代表者】 安川 英昭  
【代理人】  
【識別番号】 100093388  
【弁理士】  
【氏名又は名称】 鈴木 喜三郎  
【連絡先】 0266-52-3139  
【選任した代理人】  
【識別番号】 100095728  
【弁理士】  
【氏名又は名称】 上柳 雅裕  
【選任した代理人】  
【識別番号】 100107261  
【弁理士】  
【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 基板上に設けられ、外部との電気的接続領域を有するパッド部材と、

前記パッド部材上を含み前記電気的接続領域の周りに形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、この第1の絶縁膜の周縁に対して自己整合的な配置を有しあつテープ形状の縁部端面を有する第2の絶縁膜と、  
を具備したことを特徴とする半導体装置。

【請求項2】 前記第1の絶縁膜よりも前記第2の絶縁膜の膜厚が小さいことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の絶縁膜の縁部端面において前記第2の絶縁膜のそれとは異なるテープ形状を有することを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記パッド部材及び前記第1、第2の絶縁膜上に被覆された金属膜と、前記金属膜上に設けられたバンプ電極とをさらに具備したことを特徴とする請求項1～3いずれか一つに記載の半導体装置。

【請求項5】 基板上に選択的にパッド部材を形成する工程と、

前記パッド部材を覆うように第1、第2の絶縁膜を順次積層する工程と、

前記第2の絶縁膜上に前記パッド部材の電気的接続領域上を選択的に開口したレジスト膜を形成する工程と、

前記レジスト膜をマスクに前記第2の絶縁膜、第1の絶縁膜を連続してエッチングし前記パッド部材における電気的接続領域表面を露出させるエッティング工程と、

を具備したことを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の絶縁膜の膜厚は、前記第2の絶縁膜の膜厚よりも小さくすることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記エッティング工程に関し、第2の絶縁膜には等方性のエッティング、前記第1の絶縁膜には異方性のエッティングが実施されることを特徴とする請求項5または6記載の半導体装置の製造方法。

【請求項8】 前記エッティング工程後、前記レジスト膜を除去する工程と、前記パッド部材及び前記第1、第2の絶縁膜上に金属膜を被覆する工程と、前記金属膜上バンプ電極を形成する工程とをさらに具備したことを特徴とする請求項5～7いずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置のパッド構造に係り、特にバンプが形成されるパッドを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の高集積化、半導体チップの縮小化が進む中で、チップ外部との電気的接続領域を有するパッドの大きさはそれほど小さくならないのが現状である。

【0003】

これは、パッドに接続されるボンディングワイヤやバンプ等の電気的接続の安定性を得るため、また高抵抗化を避けるために、ある程度の大きさを確保しなければならない理由からである。

【0004】

図5は、従来の半導体装置に関し、バンプ実装されるパッド部分を示す断面図である。基板51上に金属パッド52と、その電気的接続領域521の周りにパッシベーション膜53が形成されている。

【0005】

パッシベーション膜53は、積層構造（2層）となっている。積層構造となっている理由は、バンプ実装時の衝撃によりパッシベーション膜53自体にクラックが発生するのを防ぐために全体的に厚く、しかも応力が緩和される構成が要求

されるからである。

#### 【0006】

図6は、上記図5のパッシベーション膜53の製造方法に係る途中の工程を示す断面図である。金属パッド52上に第1の絶縁膜531が被覆され、電気的接続領域521の露出する開口部が第1のフォトリソグラフィ工程を経て形成される。次に、電気的接続領域521及び第1の絶縁膜531上を覆うように第2の絶縁膜532が形成される。次に、この第2の絶縁膜532上に、第2のフォトリソグラフィ工程に関するレジスト膜54が形成される。

#### 【0007】

上記レジスト膜54は、第2のフォトリソグラフィ工程により、金属パッド52の電気的接続領域521上を含む点線の領域541が除去される。このレジスト膜54をマスクに第2の絶縁膜532を選択的にエッチングすることによって上記図5のパッシベーション膜53が構成されるパッシベーション構造を得ることになる。

#### 【0008】

##### 【発明が解決しようとする課題】

このような製造工程によれば、図5のパッシベーション構造を得るために、第1、第2のリソグラフィ工程を経る必要がある。従って、各リソグラフィ工程に伴うフォトマスクを2枚準備する必要がある。この結果、コスト高を招くことはもとより、各リソグラフィ工程及び各リソグラフィ工程前の洗浄等が必要で、製造工程が長いという問題があった。

#### 【0009】

また、各リソグラフィ工程に関するマスクの合わせ余裕の必要性から、第1の絶縁膜531の周縁部から第2の絶縁膜532の配置位置までの距離D2は短縮できない。このため、パッドを微細ピッチで配列する構成に対応し難くなってきた。

#### 【0010】

つまり、電気的接続領域521は上述したようになるべく広い方が良いし、また、上記距離D2は必要である。従って、第2の絶縁膜532が第1の絶縁膜5

31の周縁部から後退して配置される分、すなわち、合わせ余裕分だけ金属パッド52の面積は広く配置しなければならない。今後、微細ピッチに対応していくには距離D2の短縮化が望まれる。

#### 【0011】

本発明は上記事情を考慮してなされたもので、その課題は、パッド部形成のためのマスクが1枚で済み、製造工程の短縮化が図れ、微細ピッチに対応可能で、しかも高信頼性の構造を維持できる十分な厚みと応力緩和性を伴ったパッド部のパッシベーション構造を有する半導体装置及びその製造方法を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

本発明の半導体装置は、基板上に設けられ、外部との電気的接続領域を有するパッド部材と、前記パッド部材上を含み前記電気的接続領域の周りに形成された第1の絶縁膜と、前記第1の絶縁膜上に形成され、この第1の絶縁膜の周縁に対して自己整合的な配置を有しあつテープ形状の縁部端面を有する第2の絶縁膜とを具備したことを特徴とする。

#### 【0013】

本発明の半導体装置の製造方法は、基板上に選択的にパッド部材を形成する工程と、前記パッド部材を覆うように第1、第2の絶縁膜を順次積層する工程と、前記第2の絶縁膜上に前記パッド部材の電気的接続領域上を選択的に開口したレジスト膜を形成する工程と、前記レジスト膜をマスクに前記第2の絶縁膜、第1の絶縁膜を連続してエッティングし前記パッド部材における電気的接続領域表面を露出させるエッティング工程とを具備したことを特徴とする。

#### 【0014】

本発明の半導体装置によれば、第2の絶縁膜はテープ形状の縁部端面を有しつつ第1の絶縁膜の周縁に対して自己整合的に配置されているので、第1の絶縁膜周縁から第2の絶縁膜までの距離に合わせ余裕の必要性はない。

#### 【0015】

本発明の半導体装置の製造方法によれば、第1、第2の絶縁膜の積層により十

分な厚みを持たせ、パッド部材の電気的接続領域表面を露出させるためのレジスト膜のマスクが一つでも、積層のエッティング段差がきつくならないようにエッティング工程を工夫する。

## 【0016】

## 【発明の実施の形態】

図1は本発明の第1実施形態に係り、半導体装置におけるバンプ実装されるパッド部分を示す断面図である。例えば半導体の基板1上に例えばアルミニウムを含む金属パッド部材2と、電極パッドとして機能する電気的接続領域21の周りにパッシベーション膜3が形成されている。

## 【0017】

上記パッシベーション膜3は、 $\text{SiO}_2$ 膜31、 $\text{SiN}$ 膜32の積層構造(2層)となっている。これにより、バンプ実装時の衝撃によるパッシベーション膜3自体へのクラックの発生を防止するのに十分な厚さを有し、しかも応力が緩和される構成となっている。

## 【0018】

この実施形態では、例えば、 $\text{SiO}_2$ 膜31の膜厚は400nm程度、 $\text{SiN}$ 膜32の膜厚は1000nm程度である。すなわち、 $\text{SiO}_2$ 膜31は、図示しない配線ルールの最も狭い素子回路へのカバレッジまで保証するために比較的成膜速度を低くして薄く形成されるものである。 $\text{SiN}$ 膜32はプラズマ $\text{SiN}$ 膜であり、強度、厚みを確保するため比較的厚く形成されるものである。

## 【0019】

また、この実施形態では、 $\text{SiO}_2$ 膜31と $\text{SiN}$ 膜32の各周縁部端面のテーパ角はそれぞれ大きく異なっている。 $\text{SiO}_2$ 膜31の周縁部端面のテーパ角A-1は68°前後、 $\text{SiN}$ 膜32の周縁部端面のテーパ角A-2は34°前後である。これにより、後で電気的接続領域21から $\text{SiO}_2$ 膜31及び $\text{SiN}$ 膜32上に亘って形成されるバリアメタル(ここでは図示せず)のカバレッジ(被覆性)を良好にする。

## 【0020】

上記カバレッジについて考えれば、テーパ角A-1は30°～70°、テーパ

角A-2は30°～40°の範囲で構成されていてよい。また、パッシベーション膜3は、最低でも積層全体で1200nmは必要であると考えられる。

#### 【0021】

さらに、この実施形態では、SiN膜32は、比較的小さいテーパ角A-2の縁部端面を有しつつ、SiO<sub>2</sub>膜31の周縁に対して自己整合的に配置されている。つまり、SiO<sub>2</sub>膜31の周縁からSiN膜32までの距離D1に合わせ余裕の要素は存在しない。これは、後述するが、SiO<sub>2</sub>膜31とSiN膜32の各周縁部端面が同じマスクでエッチング形成されるからである。

#### 【0022】

上記実施形態によれば、SiO<sub>2</sub>膜31とSiN膜32との間に合わせ余裕の要素がないため、電気的接続領域21の面積が最大限に得られる。これにより、パッドの微細ピッチ配列に関し、従来技術より格段に優れる。

#### 【0023】

すなわち、図2(a), (b)に示す複数パッド構成のように、微細なピッチが要求され、長手方向で電気的接続領域21の面積を稼がなければならぬようなパッド部の配列構成に関して、本発明を適用した技術構成(a)と、従来構成(b)を考えれば比較しやすい。

#### 【0024】

本発明を適用した技術構成(a)と、従来構成(b)とで、電気的接続領域21をそれぞれ同じ面積だけ得る場合、本発明の構成(a)の方がSiO<sub>2</sub>膜31とSiN膜32の配置に合わせ余裕の要素がないことから、従来構成(b)より金属パッド2の配列ピッチを狭めることができるのは明らかである。この結果、半導体集積回路の高集積化、半導体チップの縮小化に要求される微細なパッド配列構成に高信頼性を伴って対応可能となる。

#### 【0025】

図3(a), (b)は、本発明の第2実施形態に係り、半導体装置におけるバンプ実装されるパッド部分の製造方法を工程順に示す断面図である。第1の実施形態と同様の箇所には同一の符号を付す。

## 【0026】

図3 (a) に示すように、例えば半導体の基板1上に、選択的に例えばアルミニウムを含む金属パッド部材2を形成する。次に、基板1上にこの金属パッド部材2上を覆うように  $\text{SiO}_2$  膜31、 $\text{SiN}$  膜32の順で積層を形成する。

## 【0027】

上記  $\text{SiO}_2$  膜31は、高密度プラズマCVD (High-Density Plasma Chemical Vapor Deposition) 技術を用いて、図示しない配線ルールの最も狭い素子回路へのカバレッジまで保証する。ガス種は  $\text{SiH}_4$ 、 $\text{O}_2$  であり、Ar等の不活性ガスと共に所定の流量、所定時間だけ要して400nm程度成膜する。

## 【0028】

上記  $\text{SiN}$  膜32は、プラズマCVD技術を用いて成膜される。ここでガス種は  $\text{SiH}_4$ 、 $\text{NH}_3$ 及び $\text{N}_2$  であり、Ar等の不活性ガスと共に所定の流量、所定時間だけ要して1000nm程度成膜する。

## 【0029】

次に、図3 (b) に示すように、フォトリソグラフィ技術を用い、積層上に形成した1000～2000nmのレジスト膜4に対し、金属パッド部材2の電気的接続領域21上を選択的に開口し、開口底部に  $\text{SiN}$  膜32を露出させる。

## 【0030】

その後、上記  $\text{SiN}$  膜32の露出部分に対し、上記レジスト膜4をマスクに等方性のエッチングを行う。具体的にはドライエッチング（プラズマエッチング）技術を用いる。ガス種は  $\text{O}_2$ 、 $\text{CF}_4$  を使用し所定の流量、所定時間だけ要して、 $\text{SiO}_2$  膜31がレジスト膜の開口面積以上に露出するよう制御する。このように等方的にエッチングされた  $\text{SiN}$  膜32は、そのエッチング端面が周縁部から緩やかに昇る傾斜面となる。

## 【0031】

さらに、上記  $\text{SiN}$  膜32のエッチングに連続して同じレジスト膜4をマスクに異方性のエッチングを行う。具体的にはドライエッチング（プラズマエッチング）技術を用いる。ガス種は  $\text{CHF}_3$ 、 $\text{CF}_4$  を使用し、Ar等の不活性ガスと共に所定の流量、所定時間だけ要して、底部に金属パッド部材2の電気的接続領

域21が露出するSiO<sub>2</sub>膜31のエッティング開口部を形成する。異方性エッティングでも、エッティング端面が開口周縁部から段差があまりきつくならないエッティングの条件を選ぶことが好ましい。

## 【0032】

次に、プラズマ剥離、レジスト膜4の剥離工程を経た後、400℃、15分程度のシンター処理を施して、前記図1に示すような、パッド部のパッシベーション構造が完成する。

## 【0033】

上記実施形態の方法によれば、SiO<sub>2</sub>膜31、SiN膜32の積層が十分な厚みを持って構成される。これにより、バンプ製品に対応させるための強度を持ち合わせた構成となる。

## 【0034】

しかも、パッシベーション膜3が、1回のリソグラフィ工程、つまり、1枚のマスク（フォトマスク）で形成できる。この結果、製造工程の短縮化が図れ、低コストで、しかも微細化されても高信頼性の構造を維持できる。

## 【0035】

また、パッド部材2の電気的接続領域21表面を露出させるためのレジスト膜のマスクが一つでも、上記積層のエッティング段差がきつくならないように各積層のエッティング方法を異ならせる工夫をした（図3（b）の説明参照）。

## 【0036】

この結果、SiO<sub>2</sub>膜31、SiN膜32の積層のエッティング段差を緩和できるような段々構造が形成でき、バンプ形成前のバリアメタルのカバレッジ（被覆性）を損なうことなく、段切れしないバリアメタル被覆が達成できる。

## 【0037】

図4は、図3で説明した後に続く金属バンプの形成例を示す断面図である。電気的接続領域の露出したパッド部材2と周囲のSiO<sub>2</sub>膜31、SiN膜32の上にバリアメタル6を被覆し、このバリアメタル6上にバンプ電極7を形成している。

## 【0038】

バンプ電極7は例えばAuを含む。バリアメタル6は例えば、TiW(チタン・タンゲステン)層(積層も含む)の他、Ti-Pd、Ti-Pt、Cr等、バリア性が高くかつAuと接続し易い金属またはその積層で構成される。バリアメタル6は、例えばバンプ電極7の形成時に同じにパターニングされる。

## 【0039】

上述のように、 $\text{SiO}_2$ 膜31の周縁部端面のテーパ角A-1は68°前後、 $\text{SiN}$ 膜32の周縁部端面のテーパ角A-2は34°前後(図1参照)であるので、バリアメタル6はカバレッジを損なうことなく、段切れしない高精度の被覆が実現される。これにより、バンプ電極構造の信頼性向上に寄与する。

## 【0040】

さらに、上記実施形態の方法を適用すれば、 $\text{SiO}_2$ 膜31、 $\text{SiN}$ 膜32の段々構造が自己整合的に形成される。従って、上述の図2(a), (b)で説明したのと同様に、電気的接続領域21の面積が最大限に得られる。換言すれば、パッド開口面積を広くすることが可能である。これにより、微細なバンプ電極構造の信頼性向上に寄与する。

## 【0041】

なお、上記各実施形態では、 $\text{SiO}_2$ 膜31、 $\text{SiN}$ 膜32のエッチングに、それぞれ等方性、異方性のエッチング技術を用いたが、 $\text{SiN}$ 膜32の代替として $\text{SiO}_2$ 膜31の形態とは異なる $\text{SiO}_2$ 膜を積層するなどして、等方性のエッチング技術だけで電気的接続領域21を露出させるようにしてもよい。あるいは、 $\text{SiO}_2$ 膜31の代替として $\text{SiN}$ 膜32の形態とは異なる $\text{SiN}$ 膜を形成し、等方性のエッチング技術だけで電気的接続領域21を露出させるようにしてもよい。

## 【0042】

また、バンプ電極はAuを示したが、他の金属でもかまわない。パッドは半導体の基板上に設けられる構成を示したが、本発明は絶縁基板や、薄い絶縁膜で構成された(基板)上に構成される場合にも適用できる。

【0043】

【発明の効果】

以上説明したように、本発明によれば、パッシベーション膜に関する積層として、テーパ形状の縁部端面を有しつつ下層の絶縁膜の周縁に対して自己整合的に配置される構成をとることで、積層構造に合わせ余裕の必要性はなく、十分な厚みと応力緩和性を伴い、微細な構成にも高精度に対応できるパッド部のパッシベーション構造を有する半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態に係り、半導体装置におけるバンプ実装されるパッド部分を示す断面図である。

【図2】

(a)、(b)はそれぞれ、複数パッド構成に関して本発明を適用した技術構成(a)と、従来構成(b)を比較するための平面図である。

【図3】

(a)、(b)は、本発明の第2実施形態に係り、半導体装置におけるバンプ実装されるパッド部分の製造方法を工程順に示す断面図である。

【図4】

図3における説明に続く金属バンプの形成例を示す断面図である。

【図5】

従来の半導体装置に関し、バンプ実装されるパッド部分を示す断面図である。

【図6】

図5のパッシベーション膜53の製造方法に係る途中の工程を示す断面図である。

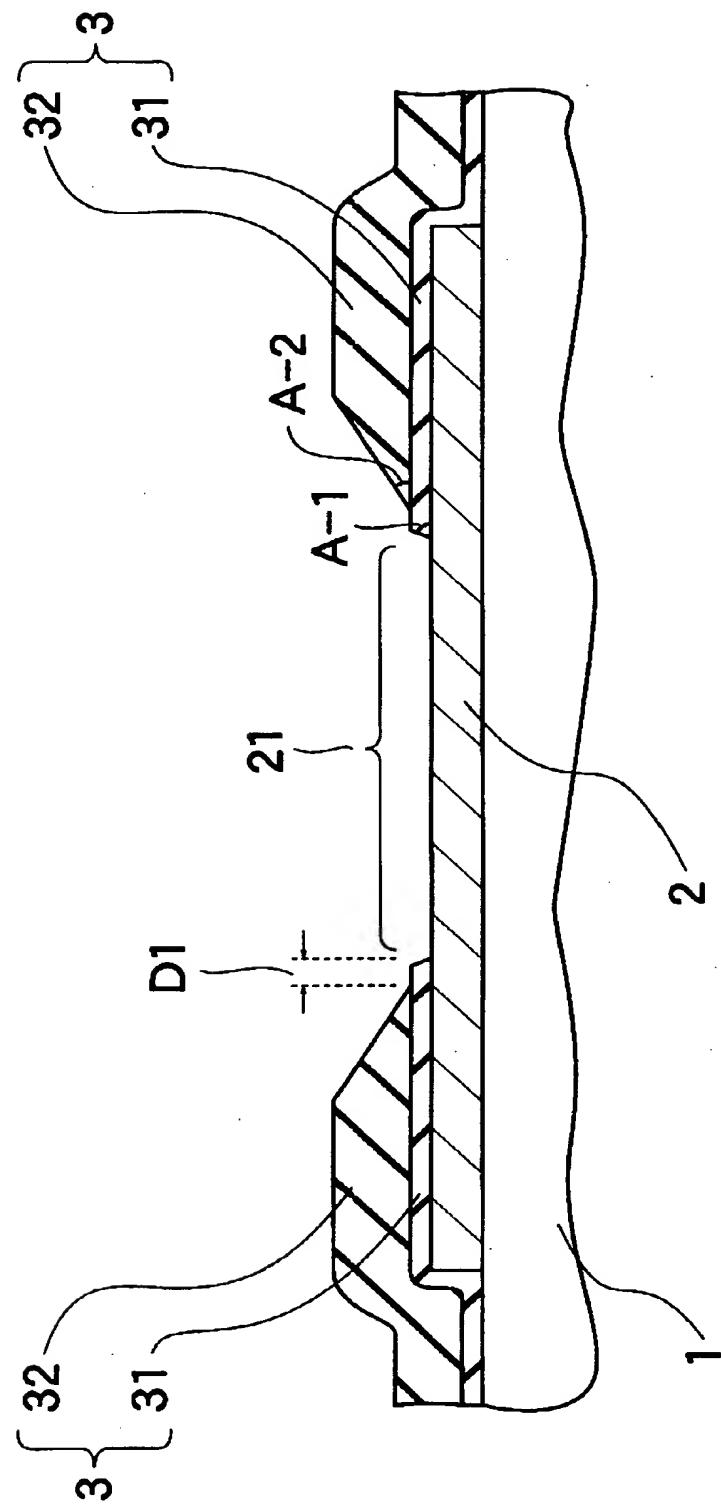
【符号の説明】

1…基板、2…電極パッド、3…パッシベーション膜、31…SiO<sub>2</sub>膜、  
32…SiN膜、4…レジスト膜、6…バリアメタル、7…バンプ電極。

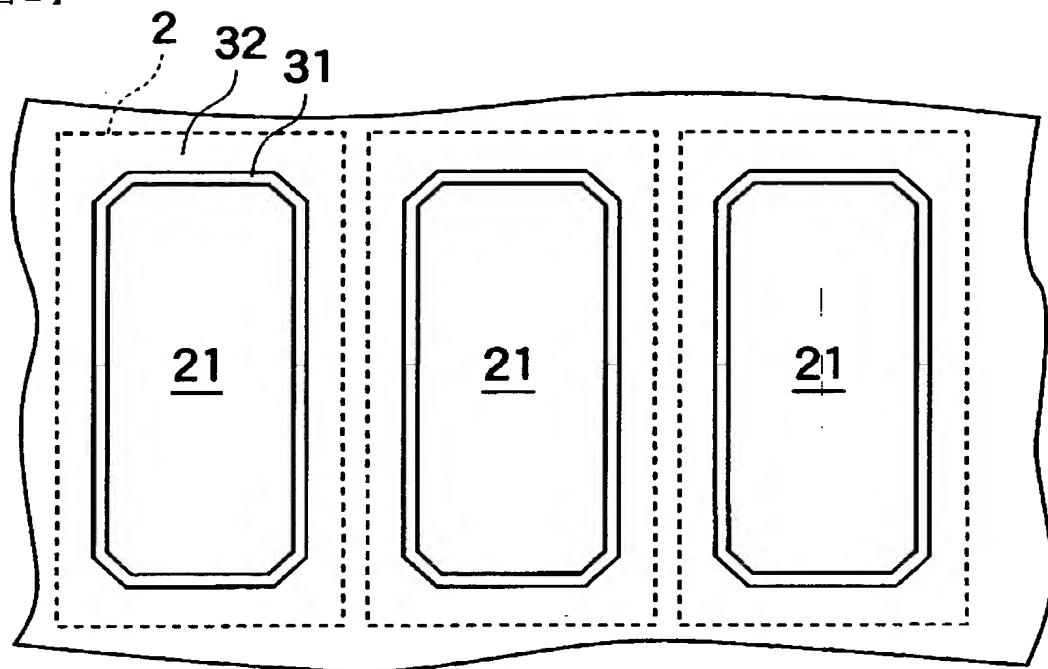
【書類名】

図面

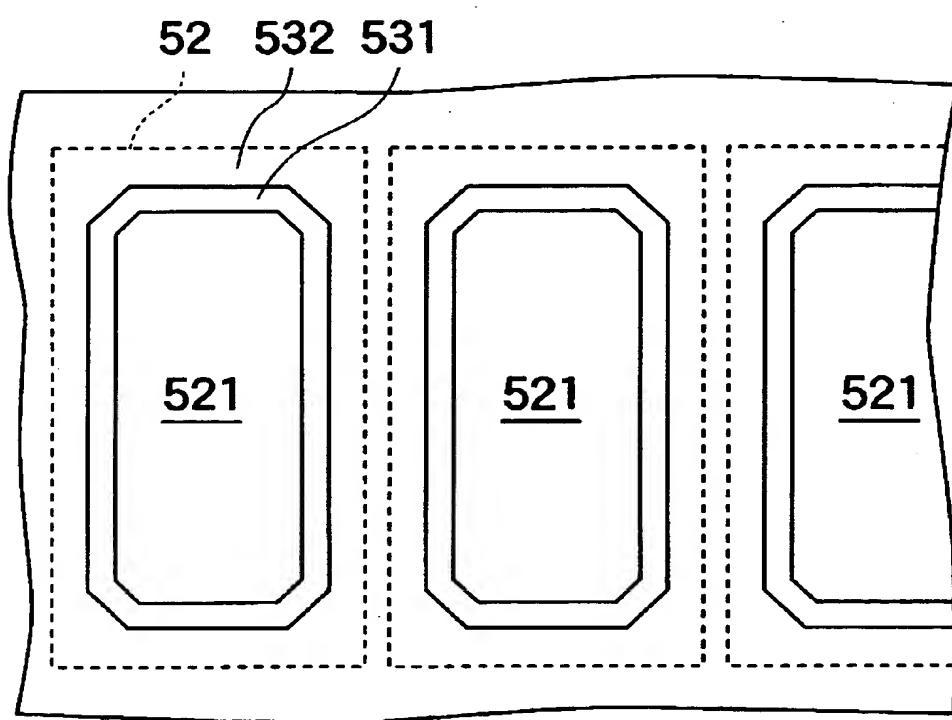
【図1】



【図2】

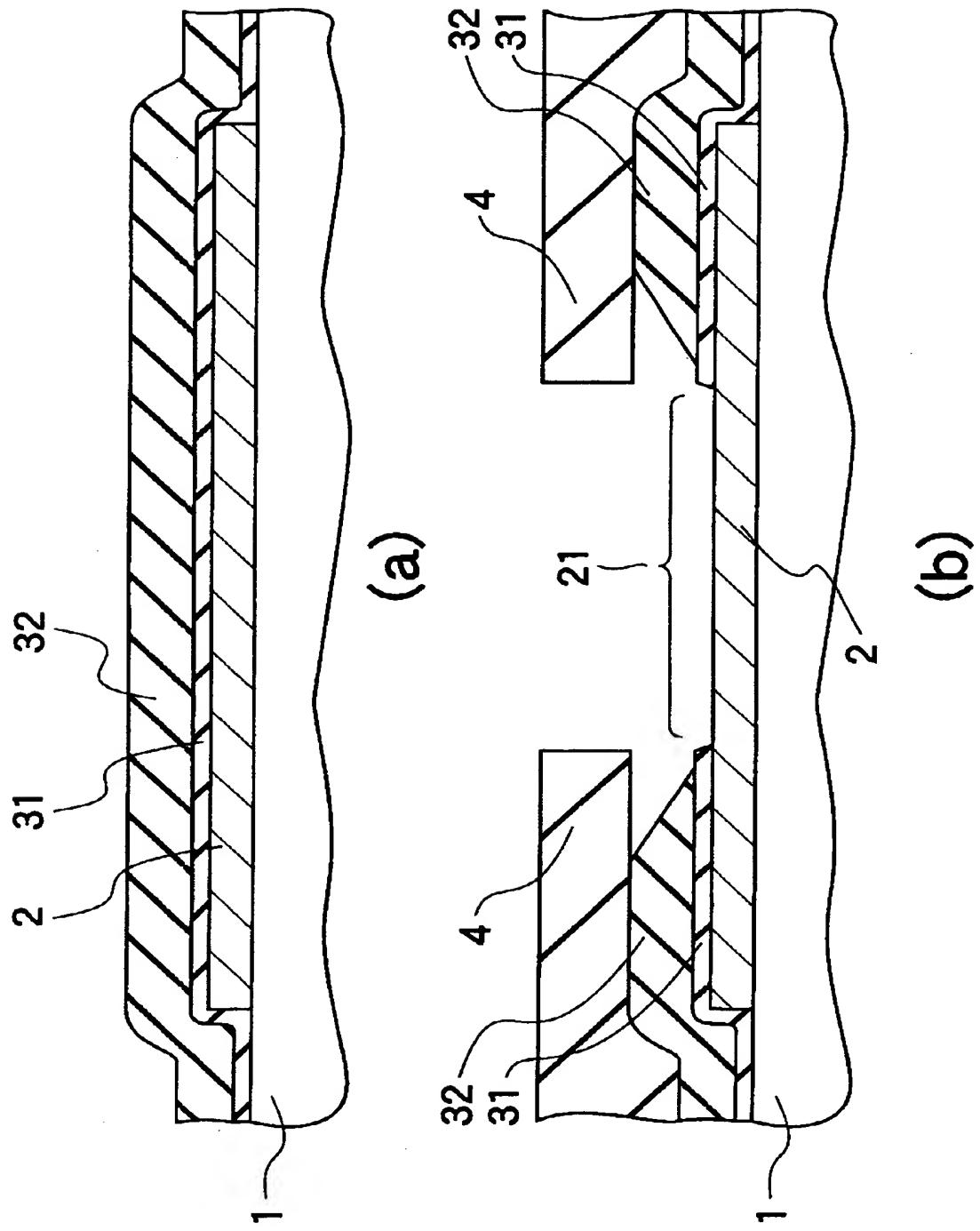


(a)

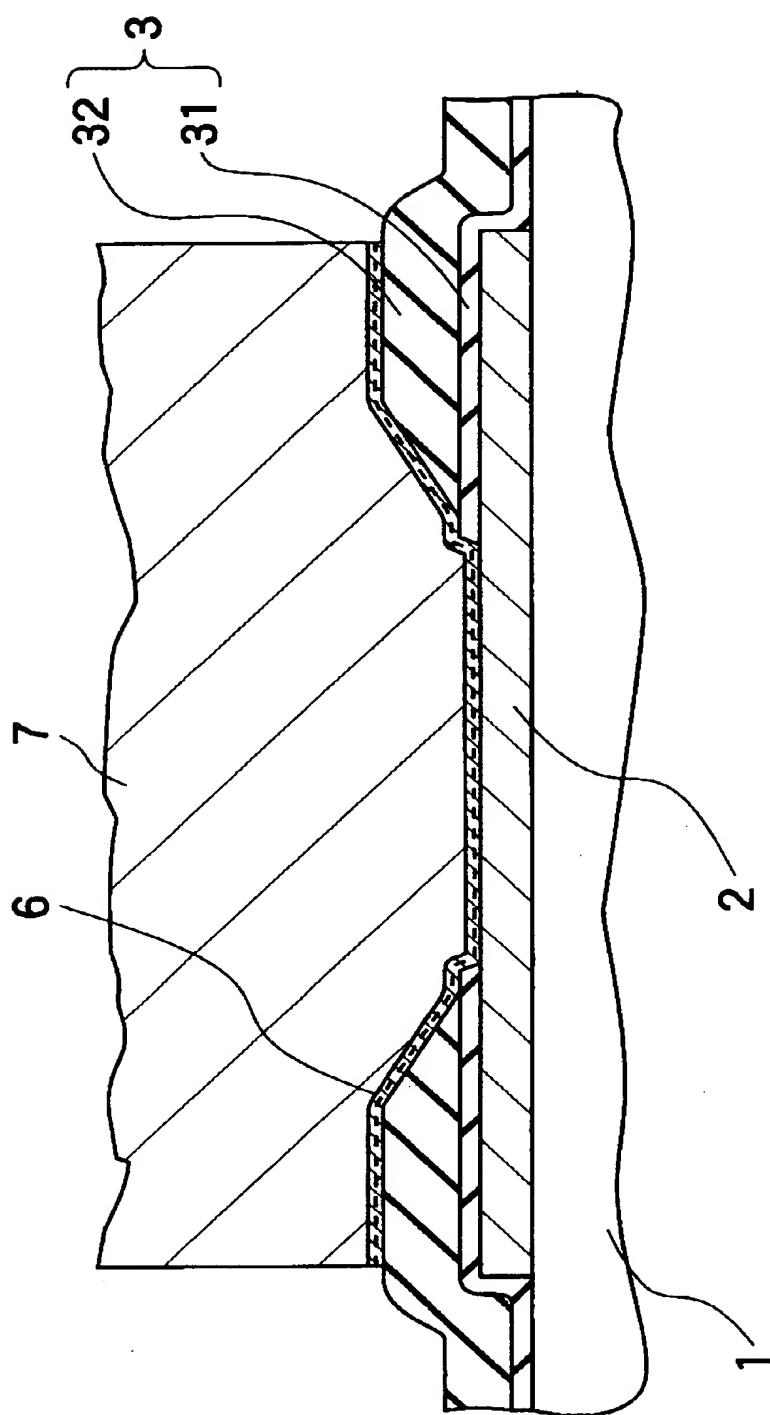


(b)

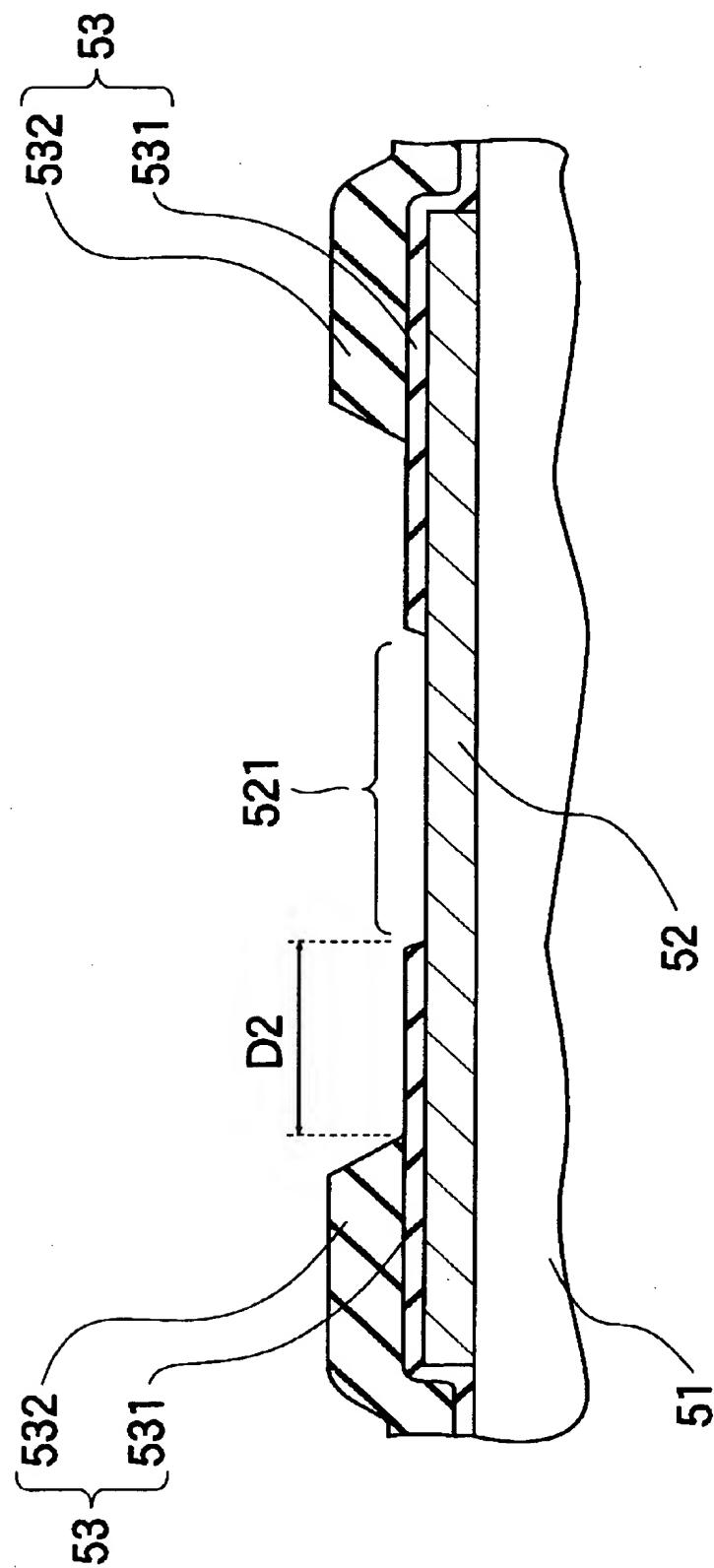
【図3】



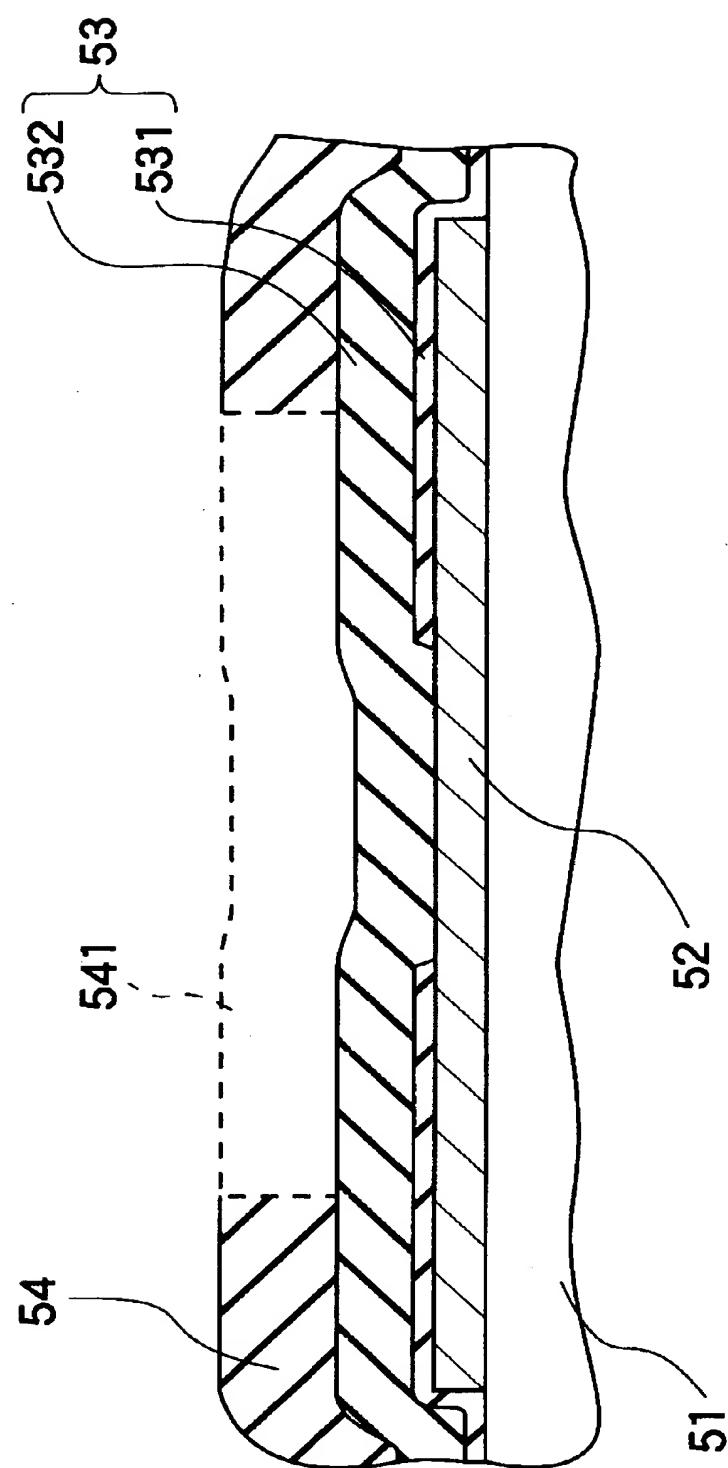
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 パッド部形成のための製造工程短縮化が図れ、微細ピッチに対応可能で、しかも高信頼性の構造を維持できる十分な厚みと応力緩和性を伴ったパッド部のパッシベーション構造を有する半導体装置及びその製造方法を提供する。

【解決手段】 基板1上に金属パッド部材2と電気的接続領域21の周りに同じマスク工程によるエッティング加工で形成される、SiO<sub>2</sub>膜31、SiN膜32によるパッシベーション膜3が形成される。SiO<sub>2</sub>膜31は、配線ルールの最も狭い素子回路へのカバレッジまで保証するので薄く、SiN膜32は強度、厚みを確保するため厚く形成される。SiO<sub>2</sub>膜31とSiN膜32の各周縁部端面のテープ角A-1、A-2は、後で電気的接続領域21からSiO<sub>2</sub>膜31及びSiN膜32上に亘って形成されるバリアメタル被覆性を良好にする。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社